

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**WEST**

Generate Collection

L3: Entry 9 of 25

File: JPAB

Jul 4, 2000

PUB-NO: JP02000188344A  
DOCUMENT-IDENTIFIER: JP 2000188344 A  
TITLE: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

PUBN-DATE: July 4, 2000

## INVENTOR-INFORMATION:

NAME

KITADE, AKIO

COUNTRY

N/A

## ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP10365854

APPL-DATE: December 24, 1998

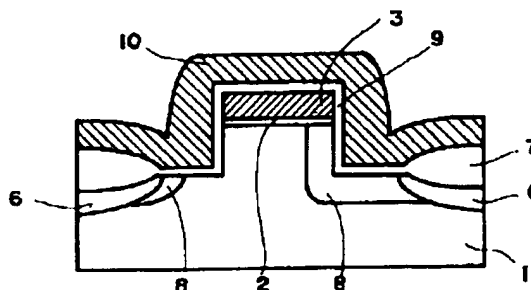
INT-CL (IPC): H01L 21/8247; H01L 29/788; H01L 29/792; G11C 16/04; H01L 27/115

## ABSTRACT:

PROBLEM TO BE SOLVED: To improve the reliability of a nonvolatile semiconductor storage device by making the length of the split gate of a split gate section controllable by adjusting the etching amount of a semiconductor substrate by forming the split gate section on the side face of the substrate.

SOLUTION: A control gate 10 which also serves as a split gate is formed on the side face of a p-type silicon substrate 1. Therefore, the gate length of the gate 10 can be controlled by adjusting the etching amount of the substrate 1. In addition, an inter-gate insulating film 9 between a floating gate 3 and the control gate 10 and the gate insulating film 7 of the control gate 10 are formed thicker than the gate insulating film 2 underlying the floating gate 3. Consequently, the area of a memory cell can be reduced without deteriorating the electric characteristic of the memory cell nor making the manufacturing process of the cell complicated. Therefore, the density of a semiconductor storage device can be increased.

COPYRIGHT: (C)2000,JPO



## 【特許請求の範囲】

【請求項1】 半導体基板上に第一シリコン酸化膜を介して、フローティングゲート層が堆積構造で形成され、更に絶縁層を介してスプリットゲートを兼用するコントロールゲート層が積層されたトランジスタから成るメモリーセルに於いて、

該トランジスタのチャンネル部分の少なくとも一部が垂直方向にも形成され、該垂直方向チャンネル部分が半導体基板の一側面に於いて、ゲート長の一部となるスプリットゲートを備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記トランジスタの垂直方向チャンネル部分の形成された、半導体基板の一側面に対向するもう一方の側面に、ソース・ドレイン不純物層を形成していることを特徴とする、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記トランジスタの第一シリコン酸化膜を介して、フローティングゲートとソース・ドレイン不純物層との間で、F-Nトンネリング電流による書き込み・消去を行うことを特徴とする、請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 スプリットゲートを兼用するコントロールゲートと、コントロールゲート下にフローティングゲートが形成され、該スプリットゲートとフローティングゲートによってチャンネルが形成されたトランジスタから成るメモリーセルの不揮発性半導体記憶装置の製造方法に於いて、

半導体基板上に第一シリコン酸化膜を形成した後、フローティングゲート層を堆積構造で形成するに際して、該フローティングゲート層上にレジスト材料をパターニングした後、エッチング工程を行う時に、第一シリコン酸化膜と半導体基板とを連続してエッチングすることで、該トランジスタの垂直方向チャンネル部分を形成することを特徴とする、不揮発性半導体記憶装置の製造方法。

【請求項5】 前記トランジスタの連続エッチングにより形成された、フローティングゲートを中心とした左右の半導体基板側面の内、一方の斜め上方からソース・ドレイン不純物層形成のためのイオン注入を行うことを特徴とする、請求項4に記載の不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は不揮発性半導体記憶装置およびその製造方法に関し、特にスプリットゲート型メモリーセルおよびその製造方法に関するものである。

## 【0002】

【従来の技術】 不揮発性半導体記憶装置においてデータの書き換えにF-N(Fowler-Nordheim)トンネル電流を用いて書き込み・消去を行なう場

合、大きな問題となるのが消去時に過電子放出状態になり、しきい値電圧が低下し、ディプリージョンタイプのトランジスタになってしまうと言う点がある。この点は、現在の技術では回避困難な課題として存在する。

【0003】 この問題の解決策として開発されたものの一つとして、各メモリーセルがスプリットゲートを有する、スプリットゲート型不揮発性半導体記憶装置が挙げられる。この装置の特徴として、スプリットゲート部分がセレクトトランジスタの役目を果たすため、仮にメモリーセルが過電子放出状態即ち、ディプリージョンタイプのトランジスタになっても、メモリーセル全体ではスプリットゲートトランジスタのしきい値電圧が、メモリーセル消去時のしきい値電圧となるため、メモリーセルが過電子放出状態であったとしても、その影響は生じにくい。尚、ここでスプリットゲートトランジスタとは、トランジスタのソースとドレイン間のチャンネル上に、コントロールゲートとフローティングゲートの2つのゲートを有するものを称しており、このうちコントロールゲートをスプリットゲートと呼んでいる。

【0004】 図4は、書き込み・消去の両方にF-Nトンネル電流を用いる方式の従来のスプリットゲート型不揮発性半導体記憶装置である。図4において、101はp型シリコン基板、106はソース・ドレイン領域を構成するn型不純物拡散層、103はフローティングゲート、110はスプリットゲートを兼ねるコントロールゲート、109はフローティングゲートとコントロールゲート間に形成されたゲート間絶縁膜であり、ONO(酸化物-窒化物-酸化物)構造になっている。

【0005】 102は上記フローティングゲート103と基板101間に形成されたトンネリング絶縁膜となるシリコン酸化膜、111はスプリットゲート領域のゲート絶縁膜を構成するシリコン酸化膜、107はフローティングゲートおよびコントロールゲートから埋め込み拡散層106を絶縁するためのシリコン酸化膜である。メモリーセルとして、n型不純物拡散層106はビット線を兼ねており、コントロールゲート110はワード線を兼ねている。

【0006】 書き込み・消去をF-Nトンネル電流を用いて行なう図4のデバイスでは、記憶内容の書き換えを以下のように行なう。書き込みは、コントロールゲート110に例えば16Vを印加し、ドレイン、ソース、基板を総て接地状態にする。電子はF-Nトンネリングによって基板またはドレインからフローティングゲートに注入され、これによりメモリーセルトランジスタのしきい値電圧が高くなり、メモリーセルは書き込み状態となる。

【0007】 消去は、コントロールゲート110に例えば-8V、ドレイン領域106(図4においては、右側のn型不純物拡散層)に5Vを印加し、ソース領域106(図4においては、左側のn型不純物拡散層)はオー

アン、基板は接地の状態とする。電子はフローティングゲートからドレインへF-Nトンネリングにより引き抜かれ、メモリセルトランジスタのしきい値電圧が低くなり、メモリセルは消去状態となる。この時には、電子が必要以上に引き抜かれて過電子放出状態になっている。

【0008】また、読み出しはコントロールゲート110に3〜5V、ドレイン領域106に1V程度を印加し、ソースおよび基板を接地電位とし、ドレイン電流の有無を検出することによって行なう。図4のメモリセルトランジスタは、スプリットゲート型不揮発性半導体記憶装置において、コントロールゲートの制御性を低下させず、低電圧単一電源化とトランジスタ特性の劣化をおさえたものであり、この種のスプリットゲート型不揮発性半導体記憶装置は、特開平8-97304号公報等により公知となっている。

【0009】

【発明が解決しようとする課題】スプリットゲート型不揮発性半導体記憶装置は、図4に示す様にスプリットゲート部分がセレクトトランジスタの役目を果たすため、消去時のメモリーセルトランジスタが過電子放出状態になっても、スプリットゲートトランジスタのしきい値電圧がメモリーセル消去時のしきい値電圧となるため、過電子放出状態発生による影響は生じにくいという利点はあるが、上述した従来のスプリットゲート型不揮発性半導体記憶装置では、シリコン基板の平面上にメモリーセルトランジスタとスプリットゲートトランジスタを形成するため、メモリーセルの面積が大きくなるという課題がある。

【0010】本発明は上記課題を解決しようとするものであり、主な目的としてメモリーセルの製造工程を複雑にせず、従来技術と同様のメモリーセル特性が得られ、かつこの条件に於いて従来よりも、メモリーセルの面積を小さくして、メモリーの高密度化を達成しようとするものである。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、半導体基板上に熱酸化により第1の絶縁膜、その上に第1の導電層を積層させ、フォトリソグラフィ技術によりパターンニング後、エッチングを行なうが、この時に半導体基板もエッチングし、フローティングゲート材料層と半導体基板が凸型になるように形成する工程と、熱酸化により第2の絶縁膜と耐酸化性膜を堆積させ、素子領域上に選択的に耐酸化性膜を形成する工程と、前記耐酸化性膜をマスクとして第1導電型不純物を導入し、ソース領域とドレイン領域を構成する第1導電型拡散層を形成する工程と、前記耐酸化性膜をマスクとして熱酸化を行ない、第1導電型拡散層上に比較的厚い第3の絶縁膜を形成する工程と、前記耐酸化性膜を除去し、その除去領域に熱酸化により第1の絶縁膜を形成する工程と、ビットライン方向にフローティング

ゲート材料層の上とメモリーセル素子間をフォトレジストによりマスクし、半導体基板表面に対して角度 $\theta$ をもたせ、第2導電型不純物を導入し、半導体基板側面の片側に第2導電型拡散層を形成する工程と、前記第4の絶縁膜を除去し、その除去領域に熱酸化により第1の絶縁膜より厚い第5の絶縁膜を形成する工程と、その上に第2の導電層を積層させ、フォトリソグラフィ技術によりパターンニングしてスプリットゲートを兼ねるコントロールゲートを形成する工程と、を含むことを特徴とする不揮発性半導体記憶装置の製造方法が提供される。

【0012】本発明によれば、スプリットゲート部は半導体基板の側面に形成するようになされている。また、フローティングゲート-コントロールゲート間の絶縁膜とスプリットゲート部のゲート絶縁膜はフローティングゲート下のゲート絶縁膜より厚く形成するようになされている。これにより、メモリーセルの電気的特性を劣化させることなく、またメモリーセルの製造工程を複雑にせずにメモリーセルの面積を小さくでき、これによって半導体記憶装置の高密度化が可能となる。

【0013】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。

【0014】図1は、本発明の実施例のメモリーセルの構造を示す断面図であり、図2はそのメモリーセル部の断面斜視図である。図1、図2において、1はp型シリコン基板、6と8はソース・ドレイン領域を構成するn型不純物拡散層、7はシリコン基板表面を酸化して形成したシリコン酸化膜、3はフローティングゲート、10はスプリットゲートを兼ねるコントロールゲート、2は上記フローティングゲートとシリコン基板間に形成されたトンネリング絶縁膜となるシリコン酸化膜、9はスプリットゲート領域のゲート絶縁膜とフローティングゲート-コントロールゲート間に形成されたゲート間絶縁膜である。また、n型不純物拡散層6はビット線を兼ねており、コントロールゲート10はワード線を兼ねている。尚、実施例としては、ゲート間絶縁膜9を単層構造としているが、ONO構造を使って形成してもよい。また、シリコン基板についてはn型シリコン基板上に形成したpウェルにメモリーセルを形成するようにしてもよい。

【0015】次に、図3を参照してこの実施例の製造方法について説明する。尚、図3(a)〜(c)は実施例の製造方法を説明するための工程順断面図である。

【0016】例えば図3(a)に示すように、p型シリコン基板1に熱酸化法により8nm程度のシリコン酸化膜を形成し、その上に例えばCVD法によりポリシリコン膜を200nm程度成長させる。

【0017】次に、フォトリソグラフィ法とRIE法を用いて、図3(b)に示すようにp型シリコン基板1が凸型になるよう形成する。次に、CVD法によりシリコン酸化膜5を例えば200nmの膜厚に成長させ、フォ

トリソグラフィ法とドライエッチング法により、チャネル領域のパターンが残るようにパターニングする。

【0018】次に、図3(c)に示すように、シリコン窒化膜5をマスクにしてn型不純物例えば砒素をエネルギー80keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入することにより、後にソース・ドレイン領域となるn型不純物拡散層6が形成される。

【0019】次に、シリコン窒化膜5をマスクに熱酸化することにより、n型不純物拡散層6上に膜厚150nm程度のシリコン酸化膜7を形成する。その後、シリコン窒化膜5をウェットエッチングにより除去し、図3(d)に示すように、フォトリソグラフィ法により、ビットライン方向(図では奥の方向になる)にフローティングゲート3の上とメモリセル素子間とをレジスト11でマスクする。(隣接メモリセル素子間の様子は、図2を参照。)この後、n型不純物例えば砒素を半導体基板表面に対して約 $\theta = 40^\circ$ の角度をもたせ、エネルギー40keV、ドーズ量 $8 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、レジスト除去後に900℃、 $\text{N}_2$ 雰囲気中で拡散させることにより、シリコン基板の側面に書き込み・消去時にF-Nトンネリングを可能にするためのn型不純物拡散層8が形成される。尚、ここでの拡散層8の濃度は、通常のトランジスタのソース/ドレイン程度の濃度は必要無いが、F-Nトンネリングを可能にするために、ある程度の濃度は確保しておく必要がある。

【0020】次に、図3(e)に示すように、CVD法によりポリシリコン膜を250nm程度の厚さで堆積させ、フォトリソグラフィ法とRIE法を用いてパターニングすることで、スプリットゲートを兼ねたコントロールゲート10が形成される。尚、コントロールゲート10は本発明の実施の形態で示したポリシリコン以外にも、ポリサイド膜等に代表される高融点金属材料によって、形成するようにしてもよい。

#### 【0021】

【発明の効果】以上、詳細に説明したように、本発明は、スプリットゲート型不揮発性半導体装置において、スプリットゲート部を半導体基板の側面に形成するので、半導体基板のエッチング量を調整することでスプリットゲートのゲート長が制御できる。この事は従来のものに比べて、信頼性の高い半導体記憶装置の得られることを意味する。

【0022】また、フローティングゲート・スプリットゲート間の絶縁膜とスプリットゲート部のゲート絶縁膜は、フローティングゲート下のゲート絶縁膜より厚く形成されている。このため、従来技術によって作成されたものに比べて、メモリーセルの電気的特性を低下させることなく、またその製造工程を複雑にすることもなく、メモリーセルの面積を小さくできる。その結果として、半導体記憶装置の高密度化が可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態のメモリセル断面図である。

【図2】本発明の実施の形態のメモリセル断面斜視図である。

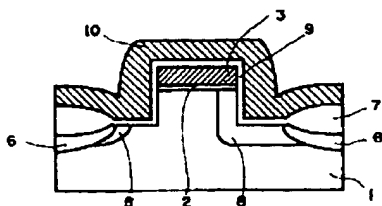
【図3】本発明の実施の形態の製造方法を説明するための工程順断面図である。

【図4】従来例のメモリセル断面図である。

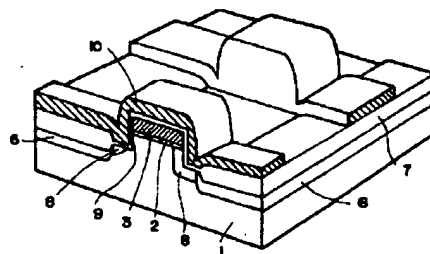
#### 【符号の説明】

- 1、101 p型シリコン基板
- 2、4、7、9、102、107、111 シリコン酸化膜
- 109 ゲート間絶縁膜
- 6、8、106 n型不純物拡散層
- 3、103 フローティングゲート
- 10、110 コントロールゲート
- 11 フォトレジスト

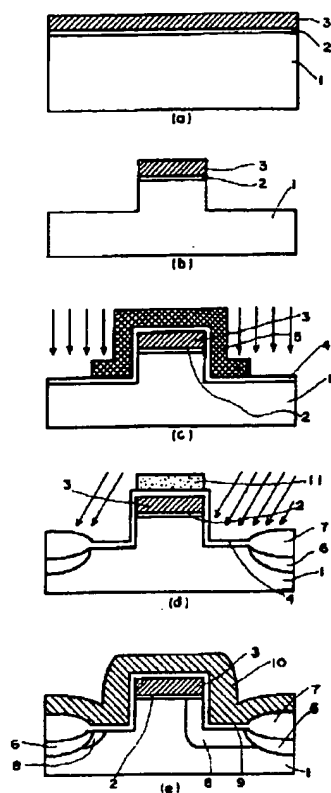
【図1】



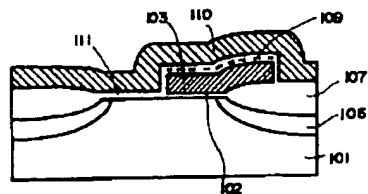
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5B025 AA01 AB01 AC01  
 5F001 AA08 AA21 AA22 AA25 AA43  
 AA63 AB03 AB09 AC02 AD12  
 AD15 AD21 AD24 AD41 AD51  
 AD52 AD61 AD62 AG02 AG10  
 AG12 AG21  
 5F083 EP24 EP62 EP67 ER03 ER05  
 ER06 ER14 ER15 ER16 ER21  
 GA09 GA22 JA35 JA39 PR12  
 PR21 PR37